

대한민국 특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2003-0038744
Application Number

출원년월일 : 2003년 06월 16일
Date of Application JUN 16, 2003

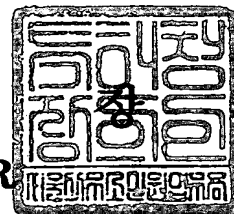
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 07 29
 년 월 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2003.06.16
【발명의 명칭】	반도체 장치용 내부전압 발생기
【발명의 영문명칭】	An internal voltage generator for a semiconductor device
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	강성배
【대리인코드】	9-1999-000101-3
【포괄위임등록번호】	1999-024436-4
【발명자】	
【성명의 국문표기】	강창석
【성명의 영문표기】	KANG, Chang Seok
【주민등록번호】	760313-1889210
【우편번호】	467-140
【주소】	경기도 이천시 고당동 하이닉스 반도체 고당기숙사 101동 401호
【국적】	KR
【발명자】	
【성명의 국문표기】	최준기
【성명의 영문표기】	CHOI, Jun Gi
【주민등록번호】	720404-1696613
【우편번호】	467-850
【주소】	경기도 이천시 대월면 초지리 삼원아파트 106동 903호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 강성배 (인)

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 3 면 3,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 5 항 269,000 원

【합계】 301,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 외부전압이 반도체 장치에 인가된 후, 반도체 장치의 내부 회로를 구동하기 위하여 사용하는 내부전압을 발생하는 장치에 관한 것으로, 보다 바람직하게는, 외부전압 레벨이 정상적인 레벨보다 낮은 경우에도 보다 안정된 내부전압을 발생할 수 있는 반도체 장치용 내부전압 발생기에 관한 것이다.

본 발명의 반도체 장치용 내부전압 발생기는 제 1 전압을 출력하는 클램프 수단, 반도체 장치에 인가되는 외부전압을 감지하여 제 1 및 제 2 제어신호를 출력하는 제 1 및 제 2 파워업 감지 수단, 제 1 전압을 수신하는 제 1 스위치 수단, 제 1 및 제 2 제어신호를 수신하여 제 1 스위치 수단의 턴온/오프를 제어하는 제 3 제어신호를 출력하는 스위치 제어 수단, 제 2 전압을 수신하며 제 2 파워업 감지 수단으로부터 출력되는 제 2 제어 신호에 의하여 턴온/오프되는 제 2 스위치 수단, 제 1 스위치 수단으로부터 출력되는 상기 제 1 전압과 제 2 스위치 수단으로부터 출력되는 제 2 전압을 선택적으로 수신하여 제 3 전압을 출력하는 증폭수단을 구비한다.

본 발명에 따른 내부전압 발생기를 사용하는 경우, 외부전압이 변동하는 경우에도 degradation 이 없는 안정된 내부전압을 공급할 수 있기 때문에 반도체 장치를 정상적으로 동작시킬 수 있는 효과가 있다.

【대표도】

도 5

【명세서】

【발명의 명칭】

반도체 장치용 내부전압 발생기{An internal voltage generator for a semiconductor device}

【도면의 간단한 설명】

도 1A , 1B, 1C 는 종래 반도체 장치의 내부전압 발생기에 관한 회로도.

도 2A 는 도 1A, 1B, 1C 에 도시된 회로의 직류 전압 파형도.

도 2B 는 도 1A 내지 도 1C 에 도시된 종래 회로의 교류 전압 파형도.

도 3A 는 본 발명의 실시예에 사용되는 제 1 파워업 감지 회로.

도 3B 는 도 3A 에 도시된 제 1 파워업 감지 회로의 출력(pwrup) 전압이 하이 레벨이 되기전까지 동작하는 코아전압 발생기.

도 3C 는 본 발명의 실시예에 사용되는 제 2 파워업 감지 회로.

도 4 는 본 발명에 따른 내부전압 발생기의 일예.

도 5 는 도 4 에 도시된 구성부분에 대한 구체적인 회로의 일예.

도 6은 본 발명에 따른 코아전압 발생기의 직류 전압 파형도.

도 7 은 본 발명에 따른 코아전압 발생기의 교류 전압 파형도.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <11> 본 발명은 반도체 장치용 내부전압 발생기에 관한 것으로, 특히 외부전압이 반도체 장치에 인가된 후, 반도체 장치의 내부 회로를 구동하기 위하여 사용하는 내부전압을 발생하는 장치에 관한 것이다. 보다 바람직하게는, 본 발명은 외부전압 레벨이 정상적인 레벨보다 낮은 경우에도 보다 안정된 내부전압을 발생할 수 있는 반도체 장치용 내부전압 발생기에 관한 것이다.
- <12> 일반적으로, 반도체 장치에 인가되는 외부전압은 반도체 장치의 내부회로에 직접 사용되지 않는다. 왜냐하면, 1) 외부전압이 갑자기 반도체 장치의 내부회로에 직접 인가되면 내부회로의 동작에 이상이 생길 수도 있으며, 2) 또한 외부전압은 노이즈와 함께 섞여 들어오기 때문에 전위 레벨이 불안정하기 때문이다.
- <13> 이러한 이유로 인하여, 반도체 장치에 인가된 외부전압은 내부 버퍼를 통과한 다음 내부전압으로 사용되는 것이 일반적이다. 그런데, 반도체 장치에 사용되는 내부전압들은 반도체 장치의 내부회로의 특성에 따라서 다양한 전위 레벨을 갖는 것이 일반적이다.
- <14> 그런데, 이러한 내부전압들은 외부전압이 정상적인 전위 레벨을 갖는 경우에는 큰 문제가 없지만, 외부전압의 전위 레벨이 변동하는 경우에는 내부전압도 그 영향을 받아 변하게 된다. 특히, 내부전압 불안정한 경우, 내부전압을 구동전압으로 사용하는 반도체 장치의 내부회로의 오동작이 발생할 가능성이 커진다.

- <15> 이하, 반도체 장치에 사용되는 종래의 내부전압 발생기의 일예에 대하여 설명하기로 한다.
- <16> 도 1A, 1B, 1C 는 반도체 장치, 특히 반도체 메모리 장치의 내부전압의 하나인 코아 전압을 발생하는 코아전압 발생기에 관한 회로도의 일예이다.
- <17> 일반적으로, 반도체 메모리 장치는 크게 메모리 셀 영역을 포함하는 코아 영역과, 그 주변 영역으로 나누어진다. 여기서 주변 영역은 코아 영역을 구동하는 구동 장치와 내부전압 발생기 등을 포함하는 영역이다. 도 1B, 1C 에 도시된 코아전압 발생기는 반도체 메모리 장치의 주변 영역에 형성되며, 메모리 셀 영역인 코아 영역을 구동하기 위한 내부전압을 발생하는 장치의 일예이다.
- <18> 도 1A 는 반도체 메모리 장치에 인가되는 외부전압을 감지하는 파워업 감지 회로를 도시한다. 동작에 있어서, 외부전압(VDD)이 반도체 메모리 장치에 인가되는 초기에는 파워업 감지 회로의 출력(pwrup) 전압은 로우 레벨이지만, 일정시간이 경과하면 파워업 감지 회로의 출력(pwrup) 전압은 하이 레벨이된다. 도 2 에서 알 게 되겠지만, 파워업 감지 회로의 출력(pwrup) 전압이 하이 레벨이라는 것은 외부전압의 전위 레벨을 따라감을 의미한다.
- <19> 도 1B 는 도 1A 에 도시된 파워업 감지 회로의 출력(pwrup) 전압이 하이 레벨이 되기전 까지 동작하는 코아전압 발생기에 관한 것이다.
- <20> 도 1B 에서 알 수 있듯이, 파워업 감지 회로의 출력(pwrup) 전압이 로우 레벨인 경우(사실상 접지 전위), 코아전압은 외부전압(VDD)의 전위 레벨과 거의 동일하다.

- <21> 도 1C 는 파워업 감지 회로의 출력(pwrup) 전압이 하이 레벨인 경우에 동작하는 일반적 인 코아전압 발생기의 일례로서, 당업자에게 주지된 회로이며, 이 회로가 동작하는 경우 도 1B 의 회로는 동작하지 아니한다.
- <22> 도 1C 에 있어서, 정상적인 동작하에서, 기준전압(vro_bandgap)이 인가되는 경우, 기준 전압의 대략 2 배인 전압을 갖는 출력전압(VCORE)이 출력된다. 예컨대, 2.5V 의 외부전압을 수신하는 반도체 메모리 장치에 있어서, 코아전압은 대략 1.8V 로 설정되며, 따라서, 도 1C 의 코아전압에 인가되는 기준전압(vro_bandgap)은 대략 0.9V 이다.
- <23> 도 2A 는 도 1A, 1B, 1C 에 도시된 회로의 전압 파형을 도시한 도면이다.
- <24> 도 2A 에서 알 수 있듯이, 파워업 감지 회로의 출력전압(pwrup)이 로우 레벨인 경우(즉, 하이 레벨로 천이하기 전의 경우), 도 1B 의 회로가 동작하므로 코아전압(VCORE)은 외부전압 (VDD)와 동일하게 상승한다. 그러나, 파워업 감지 회로의 출력전압(pwrup)이 하이 레벨인 경 우(즉, 하이 레벨로 천이하는 경우), 도 1C 의 회로가 동작하므로 코아전압(VCORE)은 기준전압(vro_bandgap)의 2 배에 해당하는 전압을 출력하게 된다. 그 후, 외부전압(VDD)이 대략 2V 이상을 초과하는 경우, 도 1C 의 코아전압 발생기는 목표값인 약 1.8V 의 코아전압 (VCORE)을 출력하게 된다.
- <25> 그런데, 도 2A 에 있어서, 파워업 감지 회로의 출력전압(pwrup)로우 레벨에서 하이레벨 로 천이한 후 일정 시간동안은 코아전압(VCORE)이 불안정함을 알 수 있다. 그 이유는 파워업 감지 회로의 출력전압(pwrup)의 급격하게 변화하는 경우, 도 1C 의 코아전압 발생기가 그에 대 응하여 즉시 동작을 하지 못하기 때문이다. 즉, 원으로 표시된 부분에서 알 수 있듯이, 파워 업 감지 회로의 출력전압(pwrup)로우 레벨에서 하이레벨로 천이하는 경우, 코아전압의 degradation 이 초래됨을 알 수 있다. 이러한 경우, 반도체 메모리 장치에 대한 테스트시, 외

부표준전압이 2.5V 인 반도체 메모리 장치에 있어서, 노이즈 등의 영향으로 2.0V 이하의 외부 전압으로 인가되는 경우, 내부전압인 코아전압(VCORE)의 변동으로 인하여 코아전압에 의하여 구동되는 반도체 메모리 장치의 내부회로의 오동작이 초래될 수 있다.

<26> 도 2B 는 도 1A 내지 도 1C 에 도시된 종래 회로의 교류 전압 파형을 도시한 것으로, 외부전압(VDD)이 변동하는 경우, 내부전압인 코아전압(VCORE)의 degradation 이 상당함을 알 수 있다.

【발명이 이루고자 하는 기술적 과제】

<27> 본 발명은 전술한 문제점을 해결하기 위하여 제안된 것으로, 2개의 파워업 감지 회로를 제공하여 안정된 내부전압을 발생할 수 있는 내부전압 발생기를 제공하고자 한다.

<28> 특히, 본 발명은 외부전압이 인가된 초기단계에서는 제 1 파워업 감지 회로의 출력전압을 이용하여 내부전압인 코아전압을 발생시키고, 제 1 파워업 감지 회로의 출력전압이 하이 레벨로 천이한 후부터 일정시간 동안은 제 2 파워업 감지 회로의 출력전압을 이용하여 코아전압을 발생시키고, 제 2 파워업 감지 회로의 출력전압이 하이 레벨로 천이한 이후에는 코아전압 발생기에 인가되는 기준전압의 대략 2 배인 코아전압을 발생시키는 반도체 메모리 장치용 코아 전압 발생기를 제공하고자 한다.

【발명의 구성 및 작용】

<29> 본 발명에 따른 반도체 장치용 내부전압 발생기는 외부전압 인가시, 제 1 내지 제 3 제어신호를 수신하여 반도체 장치에 사용되는 내부전압을 발생한다.

<30> 본 발명에 있어서, 제 1 제어신호가 반도체 장치에 인가되는 외부전압과 동일하게 되기 전까지는 반도체 장치에 사용되는 내부전압은 제 1 전압이며, 제 1 제어신호가 외부전압과 동

일하게 된 후부터, 제 2 제어신호가 외부전압과 동일하게 되기 전까지는 반도체 장치에 사용되는 내부전압은 제 2 전압이며, 제 1 제어신호와 제 2 제어신호가 모두 외부전압과 동일하게 된 때부터는 반도체 장치에 사용되는 내부전압은 제 3 전압이며, 제 1 전압은 제 2 전압보다 작으며, 제 2 전압은 제 3 전압보다 작거나 동일하며, 제 1 전압의 전위 레벨은 외부전압의 전위 레벨을 따라가며, 제 3 전압의 전위 레벨은 일정하다.

<31> 또한, 본 발명에 따른 반도체 장치용 내부전압 발생기는 제 1 전압을 출력하는 클램프 수단, 반도체 장치에 인가되는 외부전압을 감지하여 제 1 및 제 2 제어신호를 출력하는 제 1 및 제 2 파워업 감지 수단, 제 1 전압을 수신하는 제 1 스위치 수단, 제 1 및 제 2 제어신호를 수신하여 제 1 스위치 수단의 턴온/오프를 제어하는 제 3 제어신호를 출력하는 스위치 제어 수단, 제 2 전압을 수신하며 제 2 파워업 감지 수단으로부터 출력되는 제 2 제어 신호에 의하여 턴온/오프되는 제 2 스위치 수단, 제 1 스위치 수단으로부터 출력되는 상기 제 1 전압과 제 2 스위치 수단으로부터 출력되는 제 2 전압을 선택적으로 수신하여 제 3 전압을 출력하는 증폭수단을 구비한다.

<32> (실시예)

<33> 이하, 도면을 참조하여 본 발명의 실시예에 대하여 보다 구체적으로 설명하기로 한다.

<34> 도 3A 는 본 발명의 실시예에 사용되는 제 1 파워업 감지 회로로서, 그 기본적인 구성은 도 1A 에 도시된 종래의 회로와 동일하다.

<35> 동작에 있어서, 처음 외부전압(VDD)이 인가되면, NMOS 트랜지스터는 아직 턴온되지 않은 상태를 유지하므로 제 1 파워업 감지 회로의 출력전압(pwrup1)은 로우 레벨이다. 그 후, 일정

시간이 경과하면, NMOS 트랜지스터는 턴온되며, 따라서 제 1 파워업 감지 회로의 출력전압(pwrup1)은 하이 레벨로 된다.

<36> 도 3B 는 도 3A 에 도시된 제 1 파워업 감지 회로의 출력(pwrup) 전압이 하이 레벨이 되기전까지 동작하는 코아전압 발생기에 관한 것이다.

<37> 동작에 있어서, 제 1 파워업 감지 회로의 출력전압(pwrup1)이 로우 레벨인 경우, PMOS 트랜지스터는 턴온 상태이다. 따라서, 반도체 메모리 장치의 내부회로의 구동전압으로 사용되는 코아전압(VCORE)은 외부전압(VDD)의 전위 레벨을 따라간다.

<38> 도 3C 는 본 발명의 실시예에 사용되는 제 2 파워업 감지 회로로서, 그 기본적인 구성은 도 3A 에 도시된 종래의 회로와 동일하다. 그러나, 도 3C 의 인버터 체인의 지연시간은 도 3A 의 인버터 체인의 지연시간보다 더 크도록 설계된다. 따라서, 외부전압(VDD)이 인가된 후, 제 2 파워업 감지 회로의 출력전압(pwrup2)이 하이 레벨로 천이될 때까지의 시간이 제 1 파워업 감지 회로의 출력전압(pwrup1)이 하이 레벨로 천이될 때까지의 시간보다 더 많이 소요된다. 도 3C 에 도시된 제 2 파워업 감지 회로의 출력신호(pwrup2)는 도 4 에 도시된 회로의 입력신호로 사용된다.

<39> 도 4 는 본 발명에 따른 내부전압 발생기의 일례로서, 특히 반도체 메모리 장치의 메모리 셀 어레이 영역인 코아 영역을 구동하기 위한 구동전압을 발생하는 코아전압 발생기의 일례에 관한 것이다.

<40> 도 4 에 도시된 바와같이, 코아전압 발생기는 소정의 전압을 클램프하여 출력하는 클램프 회로(400), 제 1 및 2 파워업 감지 회로의 출력전압(pwrup1, pwrup2)을 수신하는 스위치 제어부(410), 스위치 제어부(410)에 의하여 턴온/오프되는 스위치(420), 제 2 파워업 감지 회로

의 출력전압(pwrup2)에 의하여 턴/오프되며 소정의 기준전압(vro_bandgap)을 전송하는 스위치(421), 스위치(420, 421)를 통하여 전달된 소정의 전압을 증폭하여 코아전압을 출력하는 증폭기(430)로 구성된다.

<41> 도 5 는 도 4 에 도시된 구성부분에 대한 구체적인 회로의 일예를 도시한다.

<42> 도시된 바와같이, 클램프 회로(400)는 공급전압(VPP)과 접지전압사이에 직렬 연결된 저항 성분(R11, R12), 및 NMOS 트랜지스터(NM11)로 이루어진다. NMOS 트랜지스터(NM11)의 드레인 과 게이트는 상호 연결되어 있다. 클램프 회로(400)의 공급전압(VPP)는 내부전압의 일종으로서, 일반적으로 액티브 동작시 외부전압(VDD)의 전위 레벨보다 더 높은 전위 레벨을 갖는 내부 전압을 클램프 회로(400)의 공급전압으로 선택하는 것이 바람직하다. 클램프 회로(400)의 출력전압(VPP_OUT)은 저항 성분(R11)과 저항 성분(R12)사이의 노드 전압이며, 바람직하게는 증폭기(430)에서 출력되는 내부전압인 최종 코아전압(VCORE)의 1/2 정도가 되도록 디자인되는 것이 바람직하다. 그러나, 후술될 도 5 에서 알 수 있듯이, 외부전압(VDD)이 인가된 직후부터 일정기간 동안, 클램프 회로(400)의 출력전압(VPP_OUT)의 초기 전압은 최종 코아전압(VCORE)의 1/2 보다 작을 수도 있다. 그 이유는 외부전압(VDD)이 인가된 직후부터 일정 기간동안에는 공급전압(VPP)이 정상적으로 공급되지 않기 때문이다.

<43> 스위치 제어부(410)는 제 1 파워업 감지 회로의 출력전압(pwrup1)과 인버터(INV11)를 통하여 제 2 파워업 감지 회로의 출력전압(pwrup2)의 반전신호를 수신하는 NAND 게이트(NAND)와, NAND 게이트(NAND)의 출력신호를 수신하여 반전시키는 인버터(INV12)와, 인버터(INV12)의 출력신호를 수신하여 반전시키는 인버터(INV13)를 구비한다.

<44> 스위치(420)는 PMOS 트랜지스터(PM21)와 NMOS 트랜지스터(NM21)로 이루어지는 전송 게이트로 이루어진다. PMOS 트랜지스터(PM21)의 게이트는 인버터(INV13)의 출력단과 연결되어 있

고, NMOS 트랜지스터(NM21)의 게이트는 인버터(INV12)의 출력단과 연결되어 있다. 스위치(420)가 턴온되는 경우, 클램프 회로(400)의 출력신호(VPP_OUT)가 증폭기(430)의 입력단으로 전송된다.

<45> 스위치(421)는 PMOS 트랜지스터(PM22)와 NMOS 트랜지스터(NM22)로 이루어지는 전송 게이트로 이루어진다. 스위치(421)의 턴온/오프 동작은 제 2 파워업 감지 회로의 출력전압(pwrup2)에 의하여 제어된다. 도시된 바와같이, 스위치(421)는 제 2 파워업 감지 회로의 출력전압(pwrup2)이 로우 레벨인 경우에는 턴오프되며, 제 2 파워업 감지 회로의 출력전압(pwrup2)이 하이 레벨인 경우 턴온된다. 스위치(421)가 턴온되는 경우, 소정의 기준전압(vro_bandgap)이 증폭기(430)의 입력단으로 전송된다. 기준전압(vro_bandgap)의 전위는 증폭기(430)에서 출력되는 내부전압인 코아전압(VCORE)의 1/2 정도가 바람직하다. 그러나, 후술될 도 5 에서 알 수 있듯이, 외부전압(VDD)이 인가된 직후부터 일정기간 동안, 기준전압(vro_bandgap)의 전위는 최종 코아전압(VCORE)의 1/2 보다 작을 수도 있다. 그 이유는 외부전압(VDD)이 인가된 직후부터 일정 기간동안에는 기준전압(vro_bandgap)이 정상적으로 공급되지 않기 때문이다. 참고로, 기준전압(vro_bandgap)은 반도체 메모리 장치에 사용되는 내부전압들중의 하나이다.

<46> 증폭기(430)는 차동 증폭기의 일종으로, 본 실시예에 사용된 증폭기(430)는 2 개의 PMOS 트랜지스터(PM41, PM42)로 이루어지는 커런트 미러와, 입력신호를 수신하는 2 개의 NMOS 트랜지스터(NM41, NM42)와, 일정 전류가 흐르도록 하는 제어 트랜지스터인 NMOS 트랜지스터(NM43)와, 게이트를 통하여 NMOS 트랜지스터(NM41)의 드레인 단자의 전압을 수신하는 PMOS 트랜지스터(PM43)와, PMOS 트랜지스터(PM43)의 드레인과 접지전원사이에 직렬로 연결되어 있는 저항성분(R41, R42)을 포함한다. NMOS 트랜지스터(NM41, NM43)의 게이트는 스위치(420, 421)를 통과한 신호 (vro_bandgap_t)를 수신한다. PMOS 트랜지스터(PM43)의 소오스는 외부전압(VDD)에

연결되어 있다. 저항성분(R41)과 저항성분(R42)의 중간 노드(a)는 NMOS 트랜지스터(NM42)의 게이트와 연결되어 있다. 내부전압인 코아전압을 출력하는 증폭기의 출력단자는 PMOS 트랜지스터(PM43)의 드레인이다. 증폭기(430)는 NMOS 트랜지스터(NM41)의 게이트로 인가되는 신호(vro_bandgap_t)와 NMOS 트랜지스터(NM42)의 게이트로 인가되는 신호(노드 a 의 전압)를 비교하여 PMOS 트랜지스터(PM43)의 게이트에 인가되는 전압의 레벨을 조절한다. 증폭기를 디자인하는 경우, 코아전압(VCORE)의 전위 레벨이 NMOS 트랜지스터(NM41)의 게이트로 인가되는 신호(vro_bandgap_t)의 전위 레벨보다 약 2 배 정도 높도록 설계하는 것이 바람직하다. 도 5에 도시된 증폭기(430)는 일예이며, 당업자는 증폭기(430)의 기능과 동일한 기능을 갖는 변형된 회로를 다양하게 구현할 수 있을 것이다.

<47> 이하에서는 코아전압 발생기의 동작을 설명하기로 한다.

<48> 1) 제 1 및 제 2 파워업 감지 회로의 출력전압(pwrup1, pwrup2)이 모두 로우 레벨인 경우를 살펴보자.

<49> 전술한 바와같이, 이 경우에는 도 3A 의 제 1 파워업 감지 회로의 출력전압(pwrup1)에 의하여 도 3B 의 회로가 인에이블된다. 따라서, 코아전압 (VCORE)은 외부전압을 따라간다. 이 경우, 도 5에 도시된 코아전압 발생기는 스위치(420, 421)는 모두 턴오프되기 때문에 동작을 하지 않음을 알 수 있다.

<50> 2) 제 1 파워업 감지 회로의 출력전압(pwrup1)이 하이 레벨이고, 제 2 파워업 감지 회로의 출력전압(pwrup2)이 로우 레벨인 경우를 살펴보자.

<51> 이 경우에는 스위치(420)가 턴온된다. 따라서, 클램프 회로(400)의 출력전압(VPP_OUT)은 스위치(420)를 통하여 증폭기(430)의 NMOS 트랜지스터(NM41)의 게이트에 인가된다. 이 때

, 클램프 회로(400)의 출력전압(VPP_OUT)은 증폭기(430)의 다른 입력단자(노드 a)의 전압보다 더 높다. 왜냐하면, 클램프 회로(400)의 출력전압(VPP_OUT)이 인가되기 전의 코아전압(VCORE)은 도 3B의 동작에 의하여 외부전압(VDD)과 동일하며, 이때의 외부전압(VDD)은 도 6에서 알 수 있듯이 아직은 낮은 전위 레벨을 갖기 때문이다. 그런데, 노드(a)의 전압은 $\{R42/(R41+R42)\} \cdot V_{CORE}$ 이므로, 결국 노드(a)의 전압은 클램프 회로(400)의 출력전압(VPP_OUT)보다 낮다.

<52> 따라서, PMOS 트랜지스터(PM41)가 턴온되며, 증폭기의 출력전압인 코아전압(VCORE)은 외부전압(VDD)을 따라간다(도 6 참조).

<53> 3) 제 1 및 제 2 파워업 감지 회로의 출력전압(pwrup1, pwrup2)이 모두 하이 레벨인 경우를 살펴보자.

<54> 이 경우에는 스위치(421)가 턴온된다. 따라서, 기준전압(vro_bandgap)은 스위치(421)를 통하여 증폭기(430)의 NMOS 트랜지스터(NM41)의 게이트에 인가된다. 동작에 있어서, 제 1 및 제 2 파워업 감지 회로의 출력전압(pwrup1, pwrup2)이 모두 하이 레벨에 다다른 순간, 기준전압(vro_bandgap)의 전위 레벨은 최종 코아전압(VCORE)의 2/1 정도가 되는 것이 바람직하다. 전술한 바와같이, 증폭기(430)의 출력전압인 코아전압(VCORE)은 입력신호(vro_bandgap_t)의 전압의 대략 2 배정도가 되도록 설계된다. 동작에 있어서, NMOS 트랜지스터(NM41)의 게이트에 인가된 기준전압(vro_bandgap)과 노드(a)의 전압인 $\{R42/(R41+R42)\} \cdot V_{CORE}$ 의 비교결과, 기준전압(vro_bandgap)이 노드(a)의 전압보다 높은 경우, 코아전압은 기준전압(vro_bandgap)의 2 배가 되는 전압을 출력한다. 반면에, 기준전압(vro_bandgap)이 노드(a)의 전압보다 낮은 경우, 트랜지스터(PM43)는 턴오프되어 코아전압은 기존의 값을 유지하게 되며, 일정 시간 경과후 코아전압이 기준전압(vro_bandgap)보다 낮아지면 트랜지스터(PM43)가 다시 턴온되어 코아전압을

상승시키게 된다. 따라서, 코아전압(VCORE)은 최종 목표값의 일정 범위내에서 흔들리게 된다

<55> 도 6은 본 발명에 따른 코아전압 발생기의 직류 전압 파형도를 도시한다.

<56> 도시된 바와같이, 제 1 파워업 감지 회로의 출력전압(pwrup1)이 하이 레벨로 천이된 후 부터, 제 2 파워업 감지 회로의 출력전압(pwrup2)이 하이 레벨로 천이되기 전까지 발생하는 코아전압은 종래의 경우와 달리 코아전압의 degradation 이 상당히 감소됨을 알 수 있다. 즉, 원으로 표시된 부분에 있어서, 코아전압은 안정되어 있음을 알 수 있다.

<57> 도 7 은 본 발명에 따른 코아전압 발생기의 교류 전압 파형도를 도시한다.

<58> 도 7 에서 알 수 있듯이, 도 2B 에 도시된 종래의 코아전압 발생기의 교류 전압 파형도와는 달리, 외부전압(VDD)이 변동하는 경우에도 내부전압인 코아전압(VCORE)은 안정되어 있음을 알 수 있다.

【발명의 효과】

<59> 이상에서 알 수 있는 바와같이, 본 발명에 따른 내부전압 발생기를 사용하는 경우, 외부 전압이 변동하는 경우에도 degradation 이 없는 안정된 내부전압을 공급할 수 있기 때문에 반도체 장치를 정상적으로 동작시킬 수 있는 효과가 있다.

【특허청구범위】**【청구항 1】**

외부전압 인가시, 제 1 내지 제 3 제어신호를 수신하여 반도체 장치에 사용되는 내부전압을 발생하는 반도체 장치용 내부전압 발생기로서,

상기 제 1 제어신호가 반도체 장치에 인가되는 상기 외부전압과 동일하게 되기 전까지는 상기 반도체 장치에 사용되는 내부전압은 제 1 전압이며,

상기 제 1 제어신호가 상기 외부전압과 동일하게 된 후부터, 상기 제 2 제어신호가 상기 외부전압과 동일하게 되기 전까지는 상기 반도체 장치에 사용되는 내부전압은 제 2 전압이며,

상기 제 1 제어신호와 상기 제 2 제어신호가 모두 상기 외부전압과 동일하게 된 때부터는 상기 반도체 장치에 사용되는 내부전압은 제 3 전압이며,

상기 제 1 전압은 상기 제 2 전압보다 작으며, 상기 제 2 전압은 상기 제 3 전압보다 작거나 동일한 것을 특징으로 하는 반도체 장치용 내부전압 발생기.

【청구항 2】

제 1 항에 있어서, 상기 제 1 전압의 전위 레벨은 상기 외부전압의 전위 레벨을 따라가며, 상기 제 3 전압의 전위 레벨은 일정한 것을 특징으로 하는 반도체 장치용 내부전압 발생기.

【청구항 3】

외부전압을 수신하여 내부전압을 출력하는 반도체 장치용 내부전압 발생기에 있어서,
제 1 전압을 출력하는 클램프 수단,

상기 반도체 장치에 인가되는 상기 외부전압을 감지하여 제 1 및 제 2 제어신호를 출력하는 제 1 및 제 2 파워업 감지 수단,

상기 제 1 전압을 수신하는 제 1 스위치 수단,

상기 제 1 및 제 2 제어신호를 수신하여 상기 제 1 스위치 수단의 턴온/오프를 제어하는 제 3 제어신호를 출력하는 스위치 제어 수단,

제 2 전압을 수신하며, 상기 제 2 파워업 감지 수단으로부터 출력되는 상기 제 2 제어신호에 의하여 턴온/오프되는 제 2 스위치 수단,

상기 제 1 스위치 수단으로부터 출력되는 상기 제 1 전압과, 상기 제 2 스위치 수단으로부터 출력되는 상기 제 2 전압을 선택적으로 수신하여 제 3 전압을 출력하는 증폭수단을 구비하는 반도체 장치용 내부전압 발생기.

【청구항 4】

제 3 항에 있어서, 상기 외부전압이 상기 반도체 장치에 인가되는 경우, 상기 제 1 파워업 감지 수단의 출력신호인 제 1 제어 신호의 레벨이 로우 레벨에서 하이 레벨로 변하기까지의 시간은 상기 제 2 파워업 감지 수단의 출력신호인 제 2 제어 신호의 전위 레벨이 로우 레벨에서 하이 레벨로 변하기까지의 시간보다 작은 것을 특징으로하는 반도체 장치용 내부전압 발생기.

【청구항 5】

제 4 항에 있어서,

상기 제 1 및 제 2 제어신호가 모두 로우 레벨인 경우, 제 1 및 제 2 스위치 수단은 턴 오프 상태이고, 상기 내부전압은 상기 제 1 제어신호에 의하여 인에이블되는 MOS 트랜지스터를 통하여 공급되는 상기 외부전압이며,

상기 제 1 제어 신호가 하이 레벨이고 상기 제 2 제어신호는 로우 레벨인 경우, 상기 제 1 스위치 수단은 턴온되고 상기 제 2 스위치 수단은 턴오프되며, 상기 내부전압은 상기 제 1 스위치 수단을 통과하여 상기 증폭 수단에 인가된 상기 제 1 전압을 증폭한 신호이며,

상기 제 1 제어 신호 및 제 2 제어 신호가 모두 하이 레벨인 경우, 상기 제 1 스위치 수단은 턴오프되고 상기 제 2 스위치 수단은 턴온되며, 상기 내부전압은 상기 제 2 스위치 수단을 통과하여 상기 증폭 수단에 인가된 상기 제 2 전압을 증폭한 신호인 것을 특징으로 하는 반도체 장치용 내부전압 발생기.

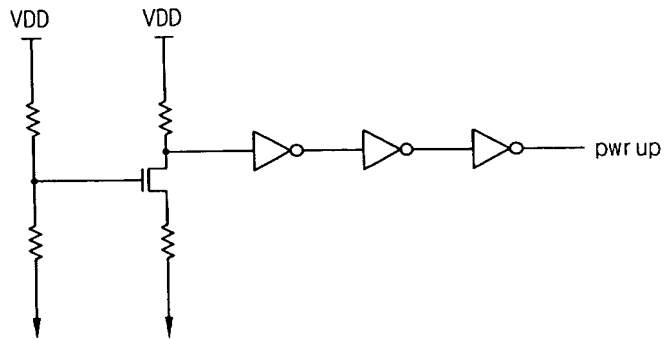


1020030038744

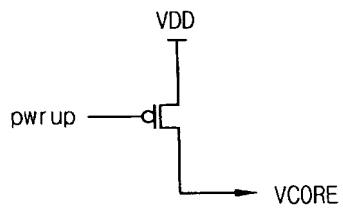
출력 일자: 2003/7/30

【도면】

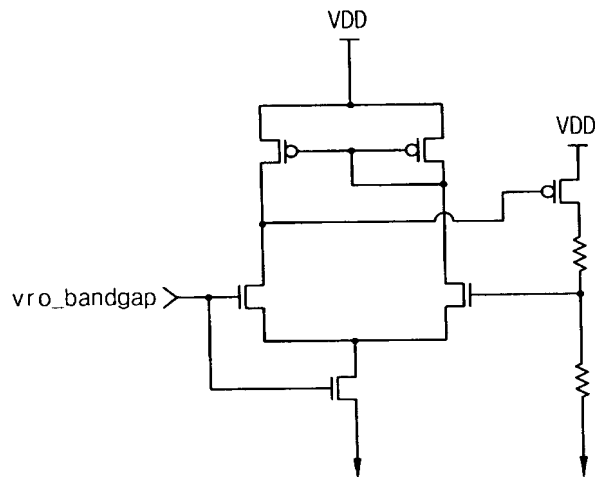
【도 1a】



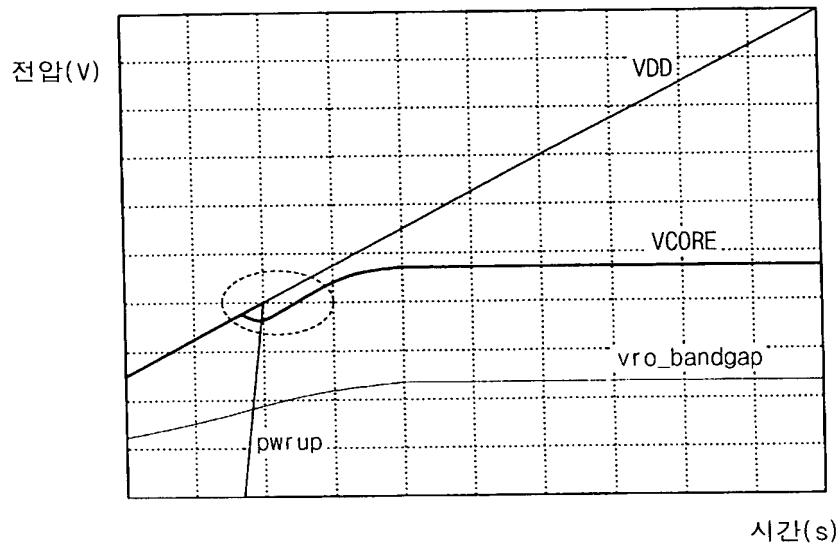
【도 1b】



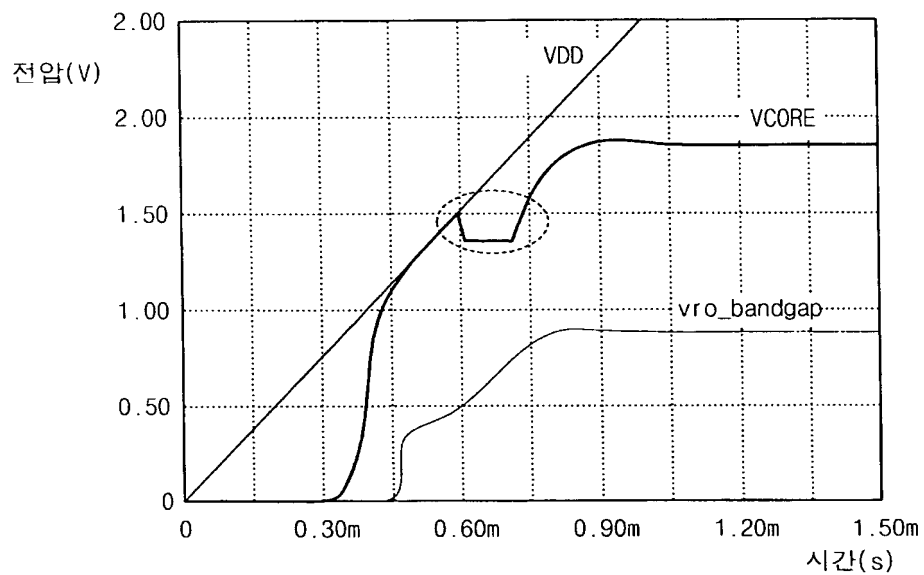
【도 1c】



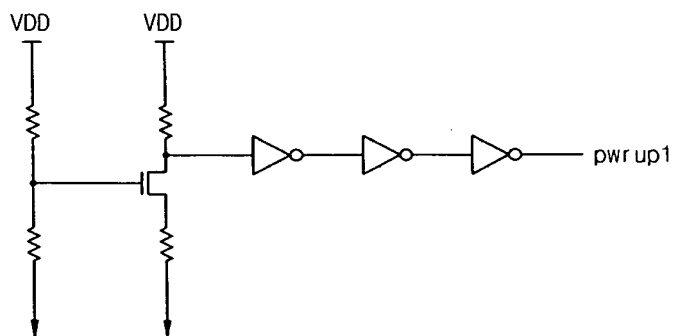
【도 2a】



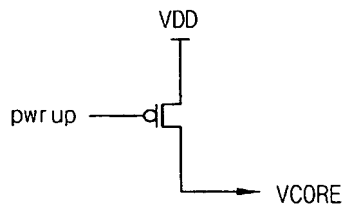
【도 2b】



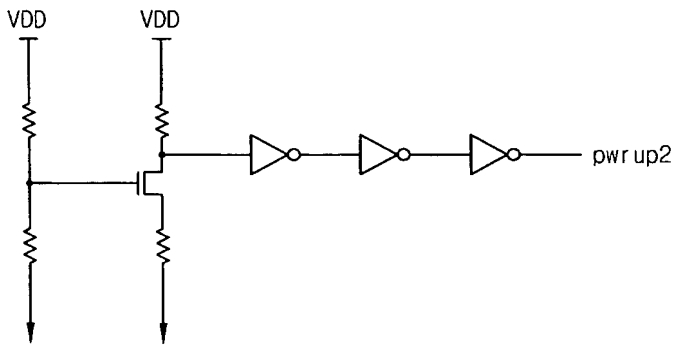
【도 3a】



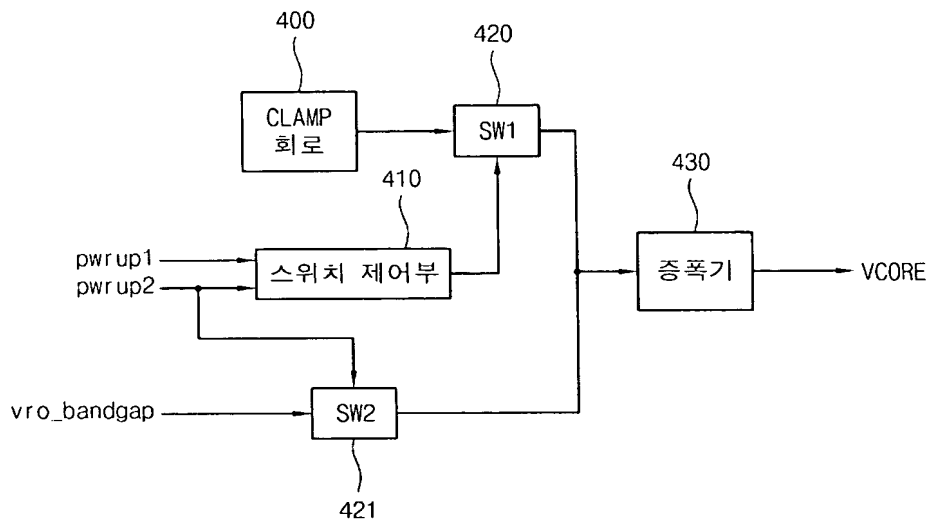
【도 3b】



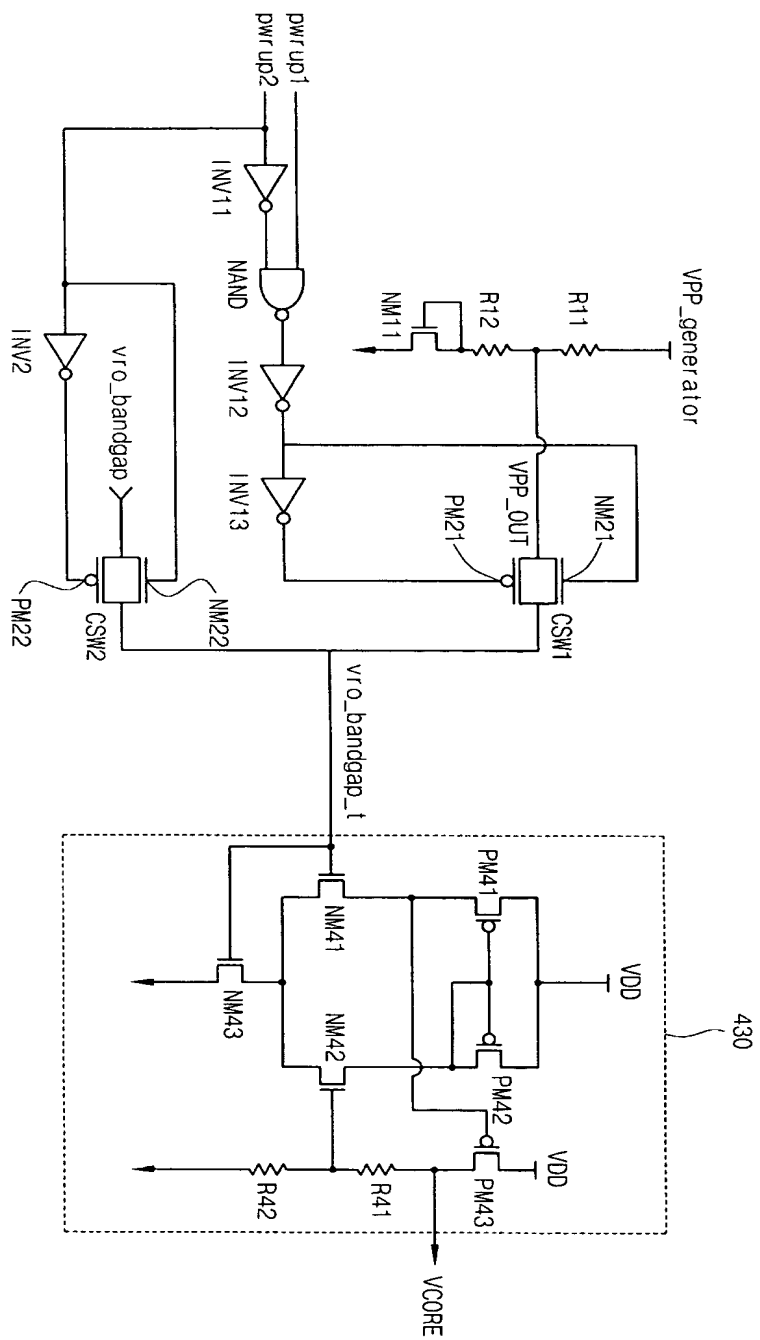
【도 3c】



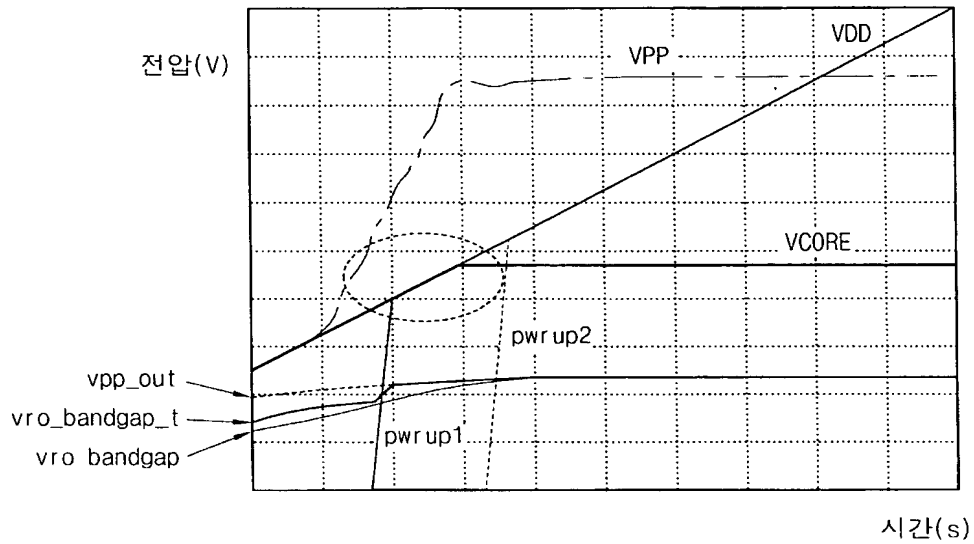
【도 4】



【도 5】



【도 6】



【도 7】

